

IMAGE PICKUP DEVICE

Publication number: JP10042176

Publication date: 1998-02-13

Inventor: YOKOYAMA TOSHIHIKO

Applicant: CANON KK

Classification:

- international: H04N5/225; H04N5/232; H04N5/225; H04N5/232;
(IPC1-7): H04N5/225

- european: H04N5/232C2

Application number: JP19960213252 19960725

Priority number(s): JP19960213252 19960725

Also published as:

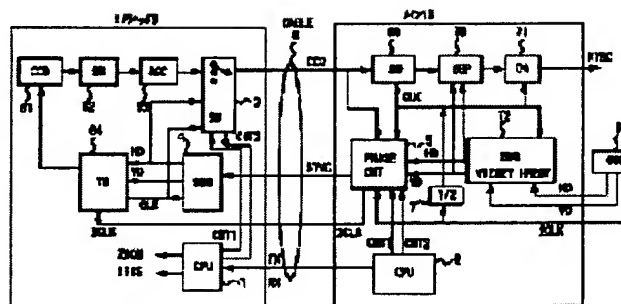
US6449007 (B)

Report a data error he

Abstract of JP10042176

PROBLEM TO BE SOLVED: To reduce the number of signal lines between a camera head part and a main part and to prevent step-out even of the length if a cable changes at the same time by transmitting a CCD signal, a clock (CLK signal) and a horizontal synchronizing signal (HD signal) in a decided order, controlling phases to be synchronized and correcting synchronism.

SOLUTION: CPU 1 transmits CLK and HD in order by one signal line with the division multiplex by switching an SW circuit 3. In a CLK phase control and the phase control of the HD signal, control is by carried out CNT1 and CNT2 of CPU 2, and the signals are transmitted to the camera head part 9 so that phase errors become zero. The phase of 2CLK signals and the horizontal synchronous phase of SYNC (a composite signal) are controlled. Thus, the phases of CLK and HD of the camera head part 9 and the main part 10 match. In acquisition of synchronism for correcting the phase and executing feedback to a camera-side again, it is executed by confirming the timing of CNT1 and 2 with TX and RX signals between CPU 1 and 2. Thus, the influence of the delay time of a cable 8 is absorbed.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-42176

(43)公開日 平成10年(1998) 2月13日

(51)Int.Cl.⁸

識別記号

片内整理番号

F I

技術表示箇所

H 0 4 N 5/225

H 0 4 N 5/225

F

審査請求 未請求 請求項の数 7 F D (全 8 頁)

(21)出願番号 特願平8-213252

(22)出願日 平成8年(1996) 7月25日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 横山 敏彦

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

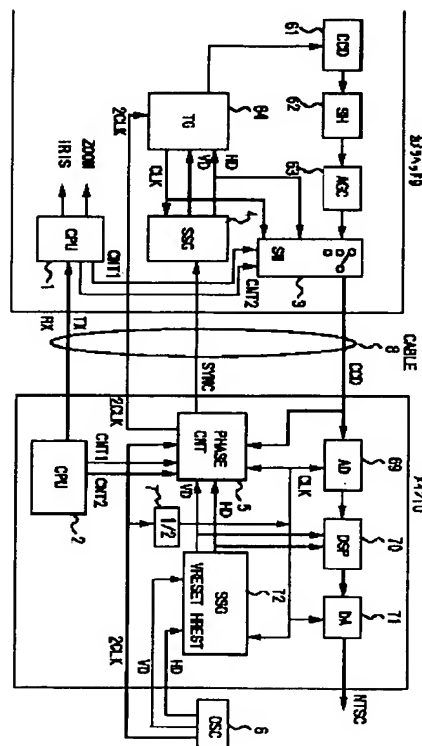
(74)代理人 弁理士 田北 嵩晴

(54)【発明の名称】 撮像装置

(57)【要約】

【課題】 カメラヘッド部とメイン部間の信号数、信号線数を削減して、ケーブル長による遅延時間の影響を無くする撮像装置。

【解決手段】 撮像部61からの信号、CLKおよびHD信号のいずれかを決められた手順に従って選択してカメラヘッド部9からメイン部10へ電送する手段(SW回路3, CPU1)と、電送されたCLKおよびHD信号を決められた手順でメイン部10の信号と比較し位相同期させる位相制御手段(位相制御ブロック5, CPU2)と、メイン部の信号に位相同期したCLKおよびHD信号をカメラヘッド部へ電送し同期補正する手段(CPU1, CPU2, SSG4, TG64)を備えている。



【特許請求の範囲】

【請求項 1】 光信号を電気信号に変換するための撮像部、同期信号発生器および制御部から成るカメラヘッド部と、前記同期信号発生器、信号処理回路および制御部から成るメイン部とを有し、それぞれ別体のカメラヘッド部とメイン部をケーブルで接続した撮像装置において、

前記撮像部からの信号、クロックおよび水平同期信号のいずれかの信号を決められた手順により選択してカメラヘッド部からメイン部へ電送する手段と、前記電送されたクロックおよび水平同期信号を前記決められた手順によりメイン部のクロックおよび水平同期信号と位相比較してメイン部の信号に位相同期するように制御する位相制御手段と、前記メイン部の信号に位相同期したクロックおよび水平同期信号を前記決められた手順でメイン部よりカメラヘッド部へ電送して同期を補正する手段とを備えたことを特徴とする撮像装置。

【請求項 2】 請求項 1 記載の撮像装置において、前記メイン部の同期信号発生器は外部からの水平同期信号および垂直同期信号に位相同期し、外部からのクロック入力を基準として動作することを特徴とする撮像装置。

【請求項 3】 前記カメラヘッド部の電送する手段による各信号の切換え電送と、前記メイン部の位相制御手段による位相同期手順は、電源立ち上げ時に行うことを特徴とする請求項 1 又は 2 記載の撮像装置。

【請求項 4】 前記電送する手段は、前記撮像部からの信号、クロックおよび水平同期信号の各信号を時分割多重して前記決められた手順により選択出力することを特徴とする請求項 1 記載の撮像装置。

【請求項 5】 光信号を電気信号に変換するための撮像部、同期信号発生器および制御部から成るカメラヘッド部と、前記同期信号発生器、信号処理回路および制御部から成るメイン部とを有し、それぞれ別体のカメラヘッド部とメイン部をケーブルで接続した撮像装置において、

前記撮像部からの信号、クロックおよび水平同期信号のいずれかの信号を決められた手順により選択してカメラヘッド部からメイン部へ電送する手段と、前記電送されたクロックおよび水平同期信号を前記決められた手順によりメイン部のクロックおよび水平同期信号と位相比較してメイン部の信号に位相同期するように制御する位相制御手段と、前記メイン部の信号に位相同期したクロックおよび水平同期信号を前記決められた手順でメイン部よりカメラヘッド部へ電送して同期を補正する手段とを備え、前記位相制御手段は、カメラヘッド部とメイン部のクロックの位相を比較するクロック位相検出器と、カメラヘッド部とメイン部の水平同期信号の位相を比較する同期信号位相検出器と、前記クロック位相検出器で検出した位相差を調整する位相シフト回路と、前記同期信号位相検出器で検出した位相差を合わせる同期信号発生

器とを有することを特徴とする撮像装置。

【請求項 6】 前記補正する手段は、前記カメラヘッド部とメイン部のクロック位相同期をカメラヘッド部とメイン部の制御部間の TX、RX 通信によってタイミングを合わせ前記決められた手順で補正することを特徴とする請求項 1 記載の撮像装置。

【請求項 7】 前記補正する手段は、前記カメラヘッド部とメイン部の水平同期信号位相同期をカメラヘッド部とメイン部の制御部間の TX、RX 通信によってタイミングを合わせ前記決められた手順で補正することを特徴とする請求項 1 記載の撮像装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、撮像装置に関し、特に撮像部と信号処理部をケーブル等で接続して分離して使用する撮像装置に関するものである。

【0002】

【従来の技術】 従来、固体撮像素子（以下、CCD と略す）を用いた撮像装置は、最近 CCD 撮像部と CCD からの信号を処理してビデオ信号として出力する信号処理部を分離し、その間をケーブル等で延長する、いわゆるヘッド分離型カメラと呼ばれる撮像装置が数多く提案されている。

【0003】 また、CCD 撮像方式は、最近、小型、軽量化が進んできて、とりわけ半導体技術の進歩により高速のアナログーデジタル変換器（以降、A/D 変換器と略す）、デジタルーアナログ変換器（以降、D/A 変換器と略す）を用いてデジタル信号として信号処理する方式が盛んに提案されている。

【0004】 但し、これらのヘッド分離型カメラは操作性はよいものの、カメラヘッド部とメイン部間で CCD 信号や、同期合わせのための HD、VD、CLK（クロック）、更に制御信号等多数の信号が必要となり、電送ケーブルに多大のコストが発生していた。また、CLK、HD、CCD 信号等それぞれ別々の信号線で電送しているような場合、電送ケーブルの長さを変えた場合にケーブル遅延による同期ズレ、色信号が反転するといった問題が発生したり、更に外部同期ができるシステムを構成できなかったため、接続する電子機器同志間の同期合わせが難しかった。

【0005】 図 6 はこうした従来の撮像装置のブロック図である。図 6 において、61 は CCD、62 は CCD の出力をサンプルホールドするサンプルホールド（SH）回路、63 は CCD 信号のゲインを制御する AGC 制御回路、64 は CCD 61 や SH 回路 62 などに必要なタイミング信号を発生させるタイミングコントローラ TG、67 はカメラヘッド各部の制御を行う CPU である。TG 64 には CLK の 2 倍の周波数のクロックである 2CLK が入力している。TG 用のクロックは CCD 61 を駆動するための各種タイミング信号の時間精度を

上げるためクロックCLKの2倍のものを通常必要とする。

【0006】ケーブル8はカメラヘッド200とメイン300を接続するためのもので、ケーブル8により、CCD信号及びCCD信号に同期したCLK、CPU67とCPU74の通信用RX信号が、カメラヘッド200からメイン300に出力される。また、ケーブル8によりCCD61と信号処理回路70の同期合わせのためのHD（水平同期）信号、VD（垂直同期）信号、CPU67とCPU74の通信用TX信号が、メイン300からカメラヘッド200に出力される。

【0007】TG64は、HD信号によりカメラ用のデジタル信号処理回路DSP70と、CCD61の水平同期を合わせている。同様に、TGはVD信号によりDSP70と、CCD61の垂直同期を合わせている。また、CPU67はCPU74とTX、RX信号により通信を行い、AGC63でCCD61のゲインを、その他カメラのアイリス、ズーム（図示していない）などを制御している。

【0008】ケーブル8でメイン部300へ電送されたCCD信号は、A/D変換器69でCLK信号に同期してデジタル信号に変換され、信号処理回路DSP70でカラー撮像装置に必要なフィルタ、色分離、ガンマ、マトリクス、クリップ等のデジタル処理を行って、D/A変換器71でデジタル-アナログ変換してNTSC信号（ビデオ信号）として出力する。

【0009】

【発明が解決しようとする課題】しかしながら、上記従来例では、カメラヘッド部200と、メイン部300の間でCCD信号や、同期合わせのためのHD、VD、CLK、通信用TX、RX信号などの多数の信号とその信号線が必要なので、信号送信受信のための部品点数が増大し、ローコスト、省スペースにはなりにくいという問題がある。

【0010】また、電送ケーブル8の長さを変えた場合に、信号の遅延が発生して、HD、VD、CLKなどの同期がズレたり、1画素毎に色信号が異なる、いわゆる単板カラーCCD信号の場合は、CCDからの読出しタイミングとデジタル信号処理とのタイミングが1画素ズレることで、色が反転した色出力になってしまう。例えば、シアン+グリーン信号と、イエロー+マゼンタ信号が入れ代わって処理されてしまうといった問題がある。

【0011】更に、クロック発生源（2CLK）がカメラヘッド200側なので、外部の信号にクロック単位で同期させることができないという問題がある。

【0012】依って、請求項1に記載の発明の目的は、カメラヘッド部とメイン部間での信号本数を削減して、1本の信号線でクロックと水平同期信号とCCD信号を切換えて出力することで信号線の本数も削減し、同時にケーブルの長さが増加しても同期ズレが発生しない撮像

装置を提供することにある。

【0013】更に、請求項2に記載の発明の目的は、外部同期を可能にして機器間の同期合わせを容易にする撮像装置を提供することにある。

【0014】更に、請求項3に記載の発明の目的は、装置の電源立ち上げ時に、クロック、水平同期信号等の同期合わせ手順を済ませて、実際の撮像時には同期ズレの影響が無くなったクリアな画像の撮像が可能な撮像装置を提供することにある。

【0015】更に、請求項4に記載の発明の目的は、カメラヘッド側からメイン部へ1本の電送線で、クロック、水平同期信号、CCD信号の3つの信号を時分割により迅速に正確に電送することによって、信号線を削減し、ケーブル長による遅延時間の影響を無くすることができる撮像装置を提供することにある。

【0016】更に、請求項5に記載の発明の目的は、カメラヘッド部とメイン部間のクロックと、水平同期信号の位相を比較して正確に同期調整することが可能な撮像装置を提供することにある。

【0017】更に、請求項6に記載の発明の目的は、メイン部側で調整したクロックの位相にカメラヘッド側のクロックを正確に同期させ、ケーブル長による遅延時間を補正できる撮像装置を提供することにある。

【0018】更に、請求項7に記載の発明の目的は、メイン部側で調整した水平同期信号の位相にカメラヘッド側の水平同期信号を正確に同期させ、ケーブル長による遅延時間を補正できる撮像装置を提供することにある。

【0019】

【課題を解決するための手段】本出願に係る発明の目的を実現する構成は、請求項1に記載のように、光信号を電気信号に変換するための撮像部、同期信号発生器および制御部から成るカメラヘッド部と、前記同期信号発生器、信号処理回路および制御部から成るメイン部とを有し、それぞれ別体のカメラヘッド部とメイン部をケーブルで接続した撮像装置において、前記撮像部からの信号、クロックおよび水平同期信号のいずれかの信号を決められた手順により選択してカメラヘッド部からメイン部へ電送する手段と、前記電送されたクロックおよび水平同期信号を前記決められた手順によりメイン部のクロックおよび水平同期信号と位相比較してメイン部の信号に位相同期するように制御する位相制御手段と、前記メイン部の信号に位相同期したクロックおよび水平同期信号を前記決められた手順でメイン部よりカメラヘッド部へ電送して同期を補正する手段とを備えたことを特徴とする撮像装置にある。

【0020】この構成によれば、カメラヘッド部からメイン部へ1本の信号線でクロック、水平同期信号、CCD信号を決められた手順に従って切換え電送し、決められた手順に従ってクロック若しくは水平同期信号をメイン部のクロック若しくは水平同期信号と位相同期させ、

位相同期させたクロック、水平同期信号を決められた手順でカメラヘッド側へバックして同期を補正することができる。

【0021】本出願に係る発明の目的を実現する他の構成は、請求項2に記載のように、請求項1に記載の撮像装置において、前記メイン部の同期信号発生器は外部からの水平同期信号および垂直同期信号に位相同期し、外部からのクロック入力を基準として動作することを特徴とする撮像装置にある。

【0022】この構成によれば、水平、垂直同期信号、クロックの外部との同期合わせが可能になる。

【0023】本出願に係る発明の目的を実現する具体的な構成は、請求項3に記載のように、前記カメラヘッド部の電送する手段による各信号の切換え電送と、前記メイン部の位相制御手段による位相同期手順は、電源立ち上げ時に行うことを特徴とする請求項1又は2記載の撮像装置にある。

【0024】この構成によれば、電源立ち上げ時に各信号の同期調整をすることで以降はクリアな撮像を行うことができる。

【0025】本出願に係る発明の目的を実現する他の具体的な構成は、請求項4に記載のように、前記電送する手段は、前記撮像部の信号、クロックおよび水平同期信号の各信号を時分割多重して前記決められた手順により選択出力することを特徴とする請求項1記載の撮像装置にある。

【0026】この構成によれば、撮像部の信号、クロックおよび水平同期信号をカメラヘッド部からメイン部へ1本の信号線で、決められた順序に従い迅速に正確に電送することができる。

【0027】本出願に係る発明の目的を実現する他の具体的な構成は、請求項5に記載のように、光信号を電気信号に変換するための撮像部、同期信号発生器および制御部から成るカメラヘッド部と、前記同期信号発生器、信号処理回路および制御部から成るメイン部とを有し、それぞれ別体のカメラヘッド部とメイン部をケーブルで接続した撮像装置において、前記撮像部からの信号、クロックおよび水平同期信号のいずれかの信号を決められた手順により選択してカメラヘッド部からメイン部へ電送する手段と、前記電送されたクロックおよび水平同期信号を前記決められた手順によりメイン部のクロックおよび水平同期信号と位相比較してメイン部の信号に位相同期するように制御する位相制御手段と、前記メイン部の信号に位相同期したクロックおよび水平同期信号を前記決められた手順でメイン部よりカメラヘッド部へ電送して同期を補正する手段とを備え、前記位相制御手段は、カメラヘッド部とメイン部のクロック位相を比較するクロック位相検出器と、カメラヘッド部とメイン部の水平同期信号の位相を比較する同期信号位相検出器と、前記クロック位相検出器で検出した位相差を調整する位

相シフト回路と、前記同期信号位相検出器で検出した位相差を合わせる同期信号発生器とを有することを特徴とする撮像装置にある。

【0028】この構成によれば、クロック位相検出器でカメラヘッド部のクロックの位相ズレを検出して、位相シフト回路でメイン部のクロックに同期させ、同期信号位相検出器でカメラヘッド部の水平同期信号の位相ズレを検出して、同期信号発生器でメイン部の水平同期信号の位相に合わせるができる。

【0029】本出願に係る発明の目的を実現する他の具体的な構成は、請求項6に記載のように、前記補正する手段は、前記カメラヘッド部とメイン部のクロック位相同期をカメラヘッド部とメイン部の制御部間のTX、RX通信によってタイミングを合わせ、前記決められた手順で補正することを特徴とする請求項1記載の撮像装置にある。

【0030】この構成によれば、メイン部からのカメラヘッド部のクロックの同期補正は、制御部間のTX、RX通信で合わせ決められた手順に従って補正することができる。

【0031】本出願に係る発明の目的を実現する他の具体的な構成は、請求項7に記載のように、前記補正する手段は、前記カメラヘッド部とメイン部の水平同期信号位相同期をカメラヘッド部とメイン部の制御部間のTX、RX通信によってタイミングを合わせ前記決められた手順で補正することを特徴とする請求項1記載の撮像装置にある。

【0032】この構成によれば、メイン部からのカメラヘッド部の水平同期信号の同期補正は、双方の制御部間のTX、RX通信によってタイミングを合わせ決められた手順に従って補正することができる。

【0033】

【発明の実施の形態】以下、本発明の実施の形態について図に基づいて説明する。図1は本発明の実施の形態に係る撮像装置のブロック図である。図2は図1に示す位相制御ブロックのブロック図である。図3は図1に示す撮像装置のクロック同期合わせのタイムチャートである。図4は図1に示す撮像装置の水平同期合わせのタイムチャートである。図5は図1に示す撮像装置の同期合わせのシーケンスを示す図である。

【0034】図1において、9はカメラヘッド部、10はメイン部であり、ケーブル8で接続されている。

【0035】カメラヘッド部9中、61はCCD、62はSH回路、63はCCD信号のゲインを制御するAGC制御回路、64はCCD61やSH回路62などに必要なタイミング信号を発生するタイミングコントローラであり、ここまでは図6に示す従来例と同一であり、以降が本発明の新構成の部分である。

【0036】1はカメラヘッド側のCPUで、制御信号CNT1、CNT2によって決められた手順を実行し、

メイン部10側のCPU2と通信用TX, RX信号による通信を行い、AGC回路63におけるCCDゲインや、カメラのアイリス、ズーム（図示していない）等の制御も行う。3はAGC回路63からのCCD信号と、HD信号（水平同期）、CLK信号（クロック）のいずれか1つの信号を、決められた手順を示すCPU1のCNT1信号、CNT2信号により選択して、1本の信号線（CCDライン）を介しメイン部10側へ電送するSW回路である。

【0037】4はメイン部10からのコンポジット信号（HD, VD多重信号）SYNCに同期して、水平同期HD、垂直同期VDなどの同期信号を発生する同期信号発生器SSG、なお、TG64はSSG4からのHD信号によりCCD61の水平同期を合わせ、VD信号によって垂直同期を合わせている。また、TG64は、2CLKを1/2に分周してSSG4へCLKを送っている。

【0038】一方、メイン部10中、69はCCD信号をA/D変換するA/D変換器、70はA/D変換された信号に、フィルタ、色分離、ガンマ、マトリックス、クリップ等のデジタル処理を行うDSP回路、71はD/A変換器で信号をD/A変換してNTSC信号としてモニタ等へ出力する。ここまでは図6に示す従来例のメイン部と同一であり、以降が本発明の新構成の部分である。

【0039】2はメイン部10のCPUで、決められた手順を示すCNT1, CNT2による位相制御ブロック5の制御を始めとするメイン部全体の制御と、通信用TX, RX信号によるCPU1との通信を行う。6はメイン部外の外部発振器で基準クロック2CLK、水平同期HD、垂直同期VD信号をメイン部10へ入力している（これによって外部装置との同期合わせを可能にしている）。

【0040】水平同期HD、垂直同期VD信号は同期信号発生器SSG72に inputs して、外部発振器15との水平同期、垂直同期の外部同期が取られる。また、2倍の基準クロック2CLKは分周器7で1/2分周して、A/D, D/A変換器69, 71、DSP70の基準クロックとなる。

【0041】5は位相制御ブロックで、外部発振器6からの2CLKを所定の位相に調整して、基準クロックとしてカメラヘッド9へ送る。また、SSG72からの水平同期HD、垂直同期VD信号を所定の位相に調整後、コンポジット信号（HD, VD多重信号）SYNCとしてカメラヘッド9へ送り、基準の水平、垂直同期とする。また、電源立ち上げ時にはカメラヘッド9のSW回路3からの、CLK, HD信号を位相補正する調整をCPU2の制御に基づいて行う。

【0042】つぎに動作について説明する。まず、電源立ち上げ時に、「決められた手順」として、例えば図5

のシーケンスに示すように、CLK出力、HD出力、CCD信号出力、の順に行うものとすれば、SW回路3の切換え順序を、CLK, HD, CCD信号の順に切換えて出力し、CPU1はCLK: CNT1, HD: CNT2の対応順に1本の信号線で時分割多重により電送する。

【0043】SW回路3からの信号はメイン部10の位相制御ブロック5に入力される。図2はその位相制御ブロック5のブロック図である。位相制御ブロック5は、位相シフト回路52と、CNT1スイッチ53と、CNT2スイッチ56と、CLK信号の位相検出器54と、HD信号の位相検出器55と、同期信号発生器SSG57から成っている。

【0044】先ずCLK位相制御のシーケンスではCPU2のCNT1による制御となり、SW回路3からHEAD（カメラヘッド）のCLK信号が入力し、位相検出器54でメイン部10のCLKと比較して、位相エラー信号がCNT1スイッチ53を通して位相シフト回路52へ送られる。位相シフト回路52では、位相エラーが零になるようにカメラヘッド部9へ送る2CLK信号の位相を制御する。これによってヘッド9側のCLKとメイン部10のCLKの位相が一致する。

【0045】次に、HD信号の位相制御ではCPU2によるCNT2による制御となり、SW回路3からHEADのHD信号が入力し、位相検出器55でメイン部10のHD信号と比較され、位相エラー信号がCNT2スイッチ56を通して、同期信号発生器SSG57へ送られる。SSG57は位相エラーが零になるように、カメラヘッド部9へ送るSYNCの水平同期位相を制御する。これによってカメラヘッド9のHD信号とメイン部10のHD信号の位相が一致する。

【0046】この位相制御でも、最初のSW回路3から切換え電送した際の、「決められた手順」つまりCLK-HD-CCD信号（CNT1-CNT2の順）の順序に従い、CPU2はCNT1-CNT2（2CLK-HD）の順の制御によって、カメラヘッド9のCLKの補正を行い、続いてHD信号の補正が行われる。

【0047】これは、図3のクロック同期合わせのタイムチャートと、図4の水平同期合わせのタイムチャートに示すように、図3ではCNT1のタイミングでHEADCLKとCLKの位相制御を行い、図4ではCNT2のタイミングでHEADHDとHDの位相制御を行っている順序と一致する。

【0048】このような、SW回路3から切換え信号によりHEAD CLK, HDを入力してから、位相補正して再度カメラ側にフィードバックする同期合わせについては、CPU1とCPU2間でTX, RX信号による定期的通信によりCNT1, CNT2のタイミングを確認して実行するので、ケーブル8の遅延時間の影響も吸収される。

【0049】以上の同期合わせによって、カメラヘッド部9のCCD信号と、メイン部10の信号処理回路DSP70のタイミングを、CLK及びHD信号によって合わせることができる。

【0050】このように、本実施の形態によれば、同じ長さの同じケーブル8を使用して、CLKやHD等の同期信号と、CCD信号を切換えて電送するためにそれらの信号間の遅延時間がケーブル長に影響されずに、常に決まったタイミングになるので、信号遅延による同期ズレ、色反転等の問題が発生しない。

【0051】また、従来例ではCLK, HD, CCD信号等を夫々別々の信号線で電送していたのに対して、本実施の形態では、このように1本の信号線を使用してHD信号とクロック、CCD信号を切換えて出力することで信号線の本数を減らすと共に、ケーブル長による遅延時間の影響も無くすることができるものである。

【0052】（請求項対応の説明）電送する手段は、CPU1のCNT1, CNT2制御により、SW回路3からメイン部へCLK, HD, CCD信号の切換え電送処理を行う。

【0053】「決められた手順」とは、各信号の切換え電送、同期合わせの際の信号処理順序を示し、CNT1-CNT2で表している。

【0054】位相制御手段は、CPU2のCNT1, CNT2制御により、位相制御ブロック5でHEAD CLKとCLK, HEAD HDとHDの位相制御を行う。

【0055】補正する手段は、CPU1とCPU2間のTX, RX信号通信によるカメラヘッド部9とメイン部10のCLK, HDの同期合わせを行う。

【0056】（他の実施の形態）これまで、「決められた手順」として、CLK-HD-CCD信号（CNT1-CNT2）の順序で行うとして説明したが、この順序に限らず別の順序を設定してもよく、要は最後まで予め決めた順序に従って行うということである。

【0057】また、同期合わせのタイミングとして電源立ち上げ時に実行するとしたが、一定の周期で割り込みをかけて撮像途中でも行うようにすることも可能である。

【0058】また、本実施の形態では、カメラヘッドとメイン部をケーブルで接続する例を説明したが、この例に限らず、電子機器同志あるいは電子機器と付属装置間等をケーブルで接続して使用するようなケースに、全て適用可能であることは勿論である。

【0059】

【発明の効果】以上、説明したように、請求項1に記載の発明によれば、電送する手段によってCCD信号、CLKおよびHDの信号を決められた手順で選択してカメラヘッド部からメイン部へ電送し、位相制御手段によりメイン部のCLK, HD信号と比較して位相制御した後、補正する手段でカメラヘッド部へ再電送して同期を

補正するように構成したので、カメラヘッド部とメイン部間の信号数および信号線の本数が削減できると共に、ケーブルの長さが変化しても同期ズレが発生しないようにすることができる。

【0060】更に、請求項2に記載の発明によれば、メイン部の同期信号発生器は外部からのHD, VD信号に位相同期し、外部からのCLKを基準として動作するので、外部同期が可能になり接続機器間の同期合わせが容易になる。

【0061】更に、請求項3に記載の発明によれば、初期の同期合わせ手順を電源立ち上げ時に行うようにしたので、同期合わせ以降は同期ズレの無いクリアな画像撮像が可能になる。

【0062】更に、請求項4に記載の発明によれば、電送する手段は、CCD信号、CLKおよびHD信号を決められた手順に従い時分割多重して選択出力するので、カメラヘッド部からメイン部へ1本の電送線でCCD信号、CLK, HDを時分割多重により迅速に電送することで、信号線本数を削減し、ケーブル長による遅延時間の影響を無くすることができる。

【0063】更に、請求項5に記載の発明によれば、位相制御手段は、CLK用のクロック位相検出器と、HD用の同期信号位相検出器と、位相シフト回路と、同期信号発生器とで構成したので、カメラヘッド部とメイン部間のCLK, HD信号の位相を検出器で比較して比較差を基に正確に位相制御することができる。

【0064】更に、請求項6に記載の発明によれば、補正する手段は、CLKの位相同期を制御部間のTX, RX通信でタイミングを合わせて決められた手順に従い補正するので、カメラヘッド部とメイン部間のCLKの同期合わせを正確に実行して、ケーブル長による遅延時間の影響を無くすることができる。

【0065】更に、請求項7に記載の発明によれば、補正する手段は、HD信号の位相同期を制御部間のTX, RX通信でタイミングを合わせ決められた手順に従い補正するので、カメラヘッド部とメイン部間におけるHD信号の同期合わせを正確に実行して、ケーブル長による遅延時間の影響を無くすることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る撮像装置のブロック図である。

【図2】図1に示す位相制御ブロックのブロック図である。

【図3】図1に示す撮像装置のクロック同期合わせのタイムチャートである。

【図4】図1に示す撮像装置の水平同期合わせのタイムチャートである。

【図5】図1に示す撮像装置の同期合わせのシーケンスを示す図である。

【図6】従来の撮像装置のブロック図である。

【符号の説明】

1, 2 CPU

3 SW回路

4 SSG

5 位相制御ブロック

6 外部発振器

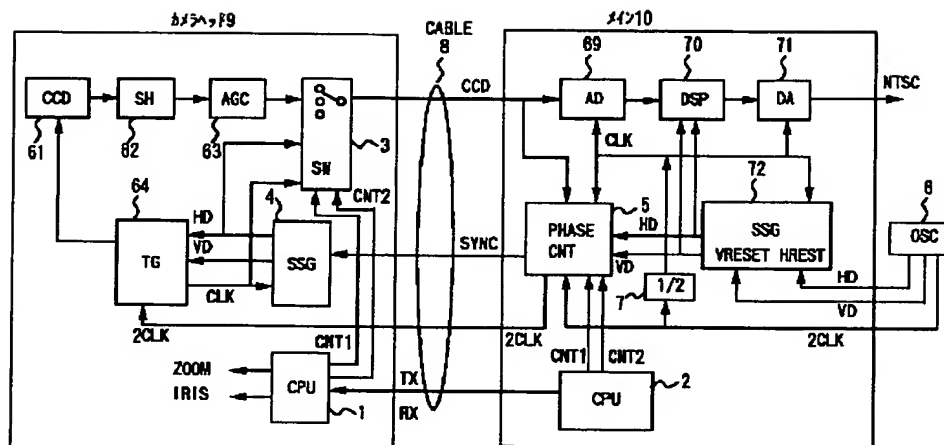
7 分周器

8 ケーブル

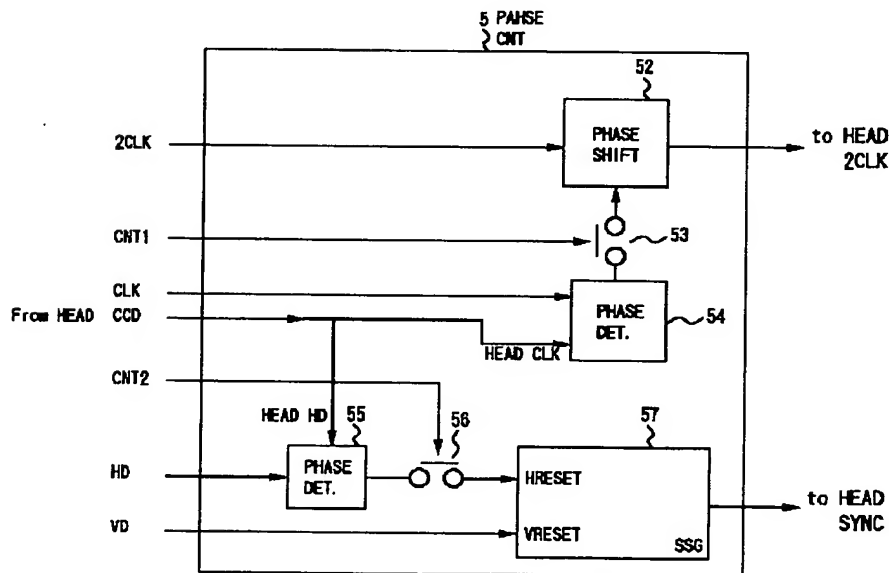
9 カメラヘッド部

10 メイン部

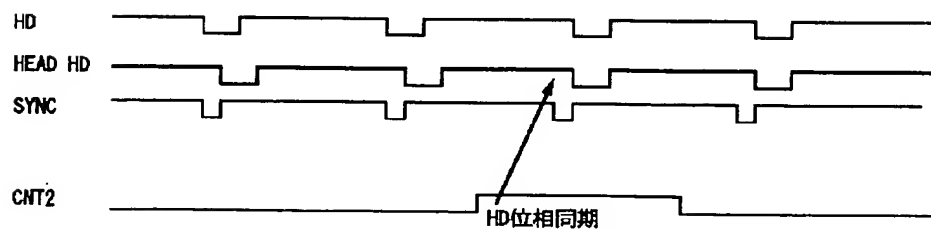
【図1】



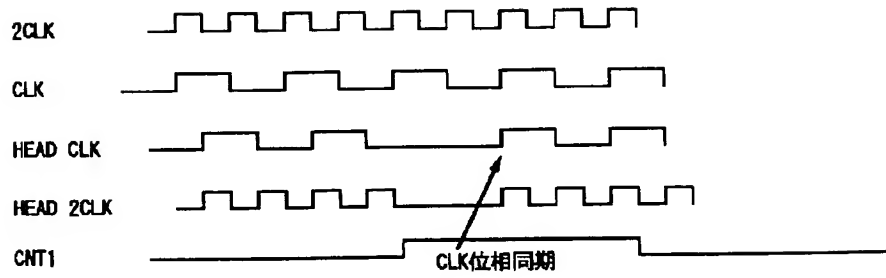
【図2】



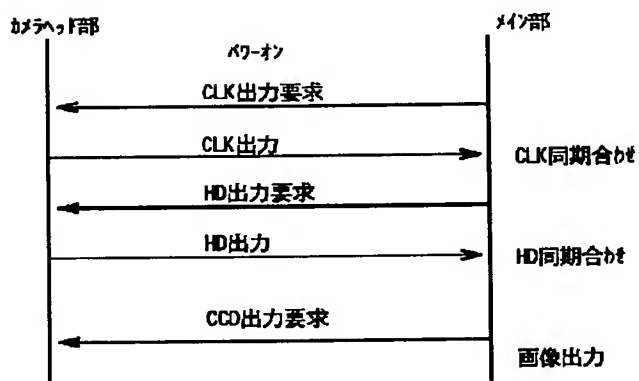
【図4】



【図3】



【図5】



【図6】

